

MULTI-LEVEL NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE

Patent number: JP2002050703

Publication date: 2002-02-15

Inventor: MANABE YUKIKO; OKUYAMA KOSUKE; OUCHI TOMOHIKO; TAKEUCHI TAKASHI

Applicant: HITACHI LTD.; HITACHI ULSI SYSTEMS CO LTD

Classification:

- international: H01L21/8247; H01L27/115; H01L27/10; H01L29/788; H01L29/792

- european:

Application number: JP20000232657 20000801

Priority number(s):

Also published as:

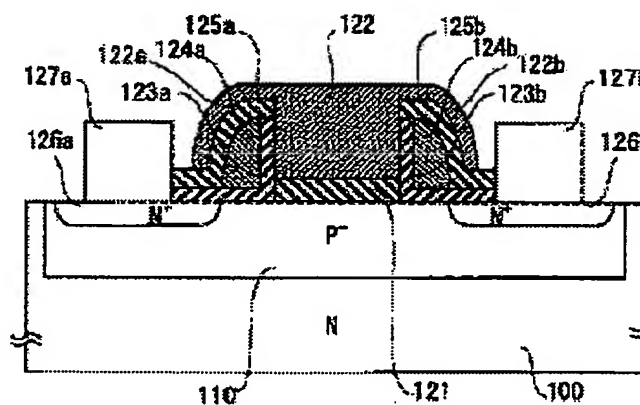


US2002040992 (A)

Abstract of JP2002050703

PROBLEM TO BE SOLVED: To improve writing, erasure and read characteristics in a non-volatile semiconductor memory device, employing an MOSFET in which floating gate electrodes are formed on the both sidewalls of the control gate electrode as a memory element.

SOLUTION: A control gate electrode (122) is formed, so that one part thereof is extended upward from floating gate electrodes (124a and 124b) formed on the both sidewalls thereof, to cover the floating gate electrodes. Also source and drain regions (126a and 126b) are formed along the external boundaries of the floating gate electrodes (124a and 124b) so as to implant electric charges into two floating gate electrodes independently.



(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開 2002-50703

(P2002-50703A)

(43)公開日 平成14年2月15日(2002.2.15)

(51)Int. Cl. ⁷	識別記号	FI	テ-マ-ト*(参考)		
H01L	21/8247	H01L	27/10	481	5F001
	27/115			434	5F083
	27/10	481	29/78	371	
	29/788				
	29/792				
審査請求 未請求 請求項の数10			OL (全17頁)		

(21)出願番号 特願2000-232657(P2000-232657)

(22)出願日 平成12年8月1日(2000.8.1)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 眞邊 由起子

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74)代理人 100085811

弁理士 大日方 富雄

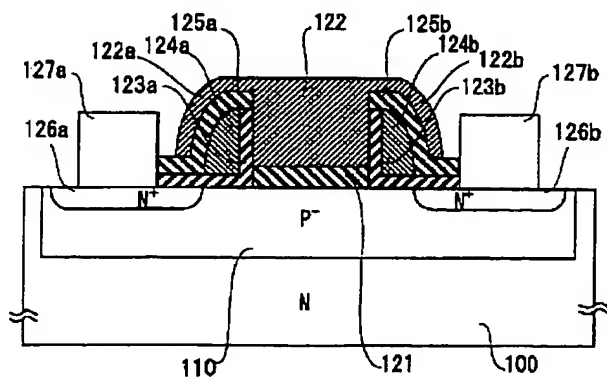
最終頁に続く

(54)【発明の名称】多値不揮発性半導体記憶装置

(57)【要約】

【課題】 コントロールゲート電極の両側壁にフローティングゲート電極を形成したMOSFETを記憶素子とする不揮発性半導体記憶装置において、書込み、消去特性を向上させるとともに、読み出し特性を向上させる。

【解決手段】 コントロールゲート電極(122)の一部をその両側壁にあるフローティングゲート電極(124a, 124b)の上方へ延設させて覆うように形成した。また、フローティングゲート電極(122)の外側境界に合わせてソース、ドレイン領域(126a, 126b)を形成し、2つのフローティングゲート電極にそれぞれ別個に電荷を注入できるように構成した。



【特許請求の範囲】

【請求項1】 半導体基板上に絶縁膜を介して形成されたコントロールゲート電極と、該コントロールゲート電極を挟んでその両側に絶縁膜を介して形成された一対のフローティングゲート電極と、上記半導体基板表面の上記フローティングゲートの下方からその外側にかけてそれぞれ形成された一対の半導体領域からなるソース領域およびドレイン領域とを有し、

上記コントロールゲート電極の上部両端から、上記フローティングゲート電極の上方に向かって上記フローティングゲート電極を覆うようにひさし状電極部が形成されてなり、上記フローティングゲート電極の蓄積電荷の過多により多値の情報を記憶するように構成された記憶素子を備えていることを特徴とする多値不揮発性半導体記憶装置。

【請求項2】 半導体基板上に絶縁膜を介して形成されたコントロールゲート電極と、該コントロールゲート電極を挟んでその両側に絶縁膜を介して形成された一対のフローティングゲート電極と、上記半導体基板表面の上記フローティングゲートの下方からその外側にかけてそれぞれ形成された一対の半導体領域からなるソース領域およびドレイン領域とを有し、

上記ソース領域およびドレイン領域の内端は、上記フローティングゲート電極の外側境界に整合するように形成された記憶素子を備えていることを特徴とする多値不揮発性半導体記憶装置。

【請求項3】 上記コントロールゲート電極の上部両端から、上記フローティングゲート電極の上方に向かって上記フローティングゲート電極を覆うようにひさし状電極部が形成されてなり、上記フローティングゲート電極の蓄積電荷の過多により多値の情報を記憶するように構成されていることを特徴とする請求項2に記載の多値不揮発性半導体記憶装置。

【請求項4】 上記フローティングゲート電極と上記半導体基板との間の絶縁膜は、上記コントロールゲート電極と上記半導体基板との間の絶縁膜よりも薄く形成されていることを特徴とする請求項1、2または3に記載の不揮発性半導体記憶装置。

【請求項5】 上記構成の記憶素子がマトリックス状に配置され同一行の記憶素子のコントロールゲート電極は同一のワード線に接続され、同一列の記憶素子のソース、ドレイン領域は同一のビット線に接続されるように構成されたメモリアレイと、外部から供給されるアドレス信号に基づいて上記ワード線を選択するアドレスデコーダと、書き込み時には外部から供給される書き込みデータを保持して上記ビット線にデータに対応した電位を印加するとともに読出し時には上記ビット線の電位を増幅するセンスラッチ回路と、外部から供給されるコマンドコードに基づいて内部回路に対する制御信号を形成して上記アドレスデコーダやセンスラッチ回路等の内部回路に

対する制御信号を生成する制御回路とを備えたことを特徴とする請求項1、2、3または4に記載の多値不揮発性半導体記憶装置。

【請求項6】 半導体基板上に絶縁膜を介して形成されたコントロールゲート電極と、該コントロールゲート電極を挟んでその両側に絶縁膜を介して形成された一対のフローティングゲート電極と、上記半導体基板表面の上記フローティングゲートの下方からその外側にかけてそれぞれ形成された一対の半導体領域からなるソース領域およびドレイン領域とを有し、上記フローティングゲート電極の蓄積電荷の過多により多値の情報を記憶するように構成された記憶素子を備え、前記記憶素子のソース領域またはドレイン領域としての一対の半導体領域の一方には第1ビット線が、また他方には第2ビット線が接続されているとともに、上記第1ビット線および第2ビット線にはそれぞれ書き込みデータを保持する第1と第2のラッチ回路が接続可能に構成された多値不揮発性半導体記憶装置における多値情報の書き込み方法であって、上記第1ビット線と第2ビット線に対応された第1と第2のラッチ回路に2ビットの書き込みデータを保持させるとともにワード線に高電圧を印加した状態で、上記第1のラッチ回路に保持されている書き込みデータに応じて第1の電圧を第1ビット線に印加するとともに第2ビット線には書き込みデータに関わらず第2の電圧を印加して1回目の書き込み動作を行ない、しかる後、ワード線に高電圧を印加した状態で、上記第2のラッチ回路に保持されている書き込みデータに応じて第1の電圧を第2ビット線に印加するとともに第1ビット線には書き込みデータに関わらず第2の電圧を印加して2回目の書き込み動作を行ない、前記2回の書き込み動作で1つの記憶素子に2ビットのデータを書き込むことを特徴とする多値不揮発性半導体記憶装置における多値情報の書き込み方法。

【請求項7】 半導体基板上に絶縁膜を介して形成されたコントロールゲート電極と、該コントロールゲート電極を挟んでその両側に絶縁膜を介して形成された一対のフローティングゲート電極と、上記半導体基板表面の上記フローティングゲートの下方からその外側にかけてそれぞれ形成された一対の半導体領域からなるソース領域およびドレイン領域とを有し、上記フローティングゲート電極の蓄積電荷の過多により多値の情報を記憶するように構成された記憶素子を備え、前記記憶素子のソース領域またはドレイン領域としての一対の半導体領域の一方には第1ビット線が、また他方には第2ビット線が接続されているとともに、上記第1ビット線および第2ビット線には第1と第2のセンスアンプ回路が接続可能に構成された多値不揮発性半導体記憶装置における多値情報の読出し方法であって、

上記第1ビット線を第1の電位にプリチャージするとともにワード線を選択レベルにした後、上記第2ビット線を第2の電位点に接続した状態で第1のセンスアンプ回

路を活性化させて第1ビット線の電位を増幅して1回目の読出し動作を行ない、しかる後、上記第2ビット線を第1の電位にプリチャージするとともにワード線を選択レベルにした後、第1ビット線を第2の電位点に接続した状態で第2のセンスアンプ回路を活性化させて第2ビット線の電位を増幅して2回目の読出し動作を行ない、前記2回の読出し動作で2ビット読出しデータを得ることを特徴とする多値不揮発性半導体記憶装置における多値情報の読出し方法。

【請求項8】 半導体基板上に絶縁膜を介して形成されたコントロールゲート電極と、該コントロールゲート電極を挟んでその両側に絶縁膜を介して形成された一対のフローティングゲート電極と、上記半導体基板表面の上記フローティングゲートの下方からその外側に掛けてそれぞれ形成された一対の半導体領域からなるソース領域およびドレイン領域とを有し、上記フローティングゲート電極の蓄積電荷の過多により多値の情報を記憶するように構成された記憶素子を備え、前記記憶素子のソース領域またはドレイン領域としての一対の半導体領域の一方には第1ビット線が、また他方には第2ビット線が接続されているとともに、上記第1ビット線または第2ビット線には電流検出回路が、また第2ビット線または第1ビット線には読出し電圧を印加可能なスイッチ手段が接続された多値不揮発性半導体記憶装置における多値情報の読出し方法であって、
上記スイッチ手段により第2ビット線または第1ビット線に読出し電圧を印加した状態でワード線を選択レベルにして、上記第1ビット線または第2ビット線に流れる電流を上記電流検出回路で検出してその電流値に基づいて2ビットの読出しデータを得ることを特徴とする多値不揮発性半導体記憶装置における多値情報の読出し方法。

【請求項9】 請求項3に記載の記憶素子の製造方法であって、半導体基板上に絶縁膜を形成しその上にコントロールゲート電極の本体部を形成した後、該コントロールゲート電極の本体部の表面から上記半導体基板の表面にかけて絶縁膜を形成し、その後前記絶縁膜上に第1の導電層を被着し、異方性エッチングにより第1の導電層をエッチングして上記コントロールゲート電極の側壁にフローティングゲート電極を形成した後、イオン打込みによりソース、ドレイン領域となる半導体領域を形成し、しかる後上記コントロールゲート電極からフローティングゲート電極の上方にかけてフローティングゲート電極とは絶縁膜を介してまたコントロールゲート電極とは接触するように第2の導電層を形成し、該第2の導電層をパターンニングして上記ひさし状電極を形成するようにしたことを特徴とする多値不揮発性半導体記憶装置の製造方法。

【請求項10】 上記記憶素子のコントロールゲート電極を記憶素子以外のMOSトランジスタのコントロール

ゲート電極と同一工程で形成し、上記フローティングゲート電極の形成は上記記憶素子以外のMOSトランジスタの上を絶縁膜で覆った状態で行ない、その後上記記憶素子のソース、ドレイン領域となる半導体領域を記憶素子以外のMOSトランジスタのソース、ドレイン領域となる半導体領域と同一工程で形成するようにしたことを特徴とする請求項10に記載の多値不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、記憶情報を電気的に書き込み、消去可能な不揮発性メモリさらには1つの記憶素子に2ビット以上の情報を記憶可能な多値不揮発性メモリに適用して有効な技術に関するものである。

【0002】

【従来の技術】多値不揮発性メモリとしては、コントロールゲートおよびフローティングゲートを有する2層ゲート構造のMOSFET（絶縁ゲート型電界効果トランジスタ）を記憶素子として用い、そのフローティングゲートに注入する電荷量を変えることでMOSFETのしきい値電圧を複数段階に変化させ、1つの記憶素子に2ビット以上の情報を記憶させるようにしたものが提案されている。かかる方式のメモリでは、例えば記憶素子のしきい値を4段階に変化させれば1つの記憶素子に2ビット情報を記憶できる。

【0003】

【発明が解決しようとする課題】しきい値の大小により多値情報を記憶する不揮発性メモリにおいては、記憶情報に対応された1つ1つのしきい値の分布を互いに区別できるように制御してやる必要があるが、フローティングゲートへの電荷の注入動作が毎回ばらつきを有するため、しきい値分布を狭い範囲に制御することが困難で全体のしきい値の分布範囲が1ビット（2値）の情報を記憶する場合に比べて広がってしまう。このことは、例えば負電荷の注入によりしきい値が最も高くされた記憶素子はそのフローティングゲートに多数の負電荷が注入されている状態にあることを意味しており、これによってその記憶素子のゲート絶縁膜にかかる電界がかなり高くなり、長期間その状態を維持させることが困難で、いわゆるリテンション特性が良好でなくなるという不具合を抱えることになる。

【0004】一方、上記2層ゲート構造に代わる多値情報の記憶素子として、コントロールゲート電極の両側壁にそれぞれフローティングゲート電極を形成した記憶素子が提案されている（例えば特開平6-232412号、特開平10-178116号）。

【0005】しかしながら、本発明者らがコントロールゲート電極の両側壁にそれぞれフローティングゲート電極を形成した上記記憶素子について検討を行なった結果、上記先願に開示されているような記憶素子の構造で

は、書込み、消去特性および読出し特性が充分でないことを見出した。

【0006】この発明の目的は、コントロールゲート電極の両側壁にそれぞれフローティングゲート電極を形成したMOSFETを記憶素子とする不揮発性半導体記憶装置において、書込み、消去特性を向上させることにある。

【0007】この発明の他の目的は、コントロールゲート電極の両側壁にそれぞれフローティングゲート電極を形成したMOSFETを記憶素子とする不揮発性半導体記憶装置において、読出し特性を向上させることにある。

【0008】この発明の前記ならびにほかの目的と新規な特徴は、本明細書の記述及び添付図面から明かになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0010】すなわち、コントロールゲート電極の両側壁にそれぞれフローティングゲート電極を形成したMOSFETからなる記憶素子において、コントロールゲート電極の一部をその両側壁にあるフローティングゲート電極の上方へ延設させて覆うように形成したものである。

【0011】より具体的には、半導体基板上に絶縁膜を介して形成されたコントロールゲート電極と、該コントロールゲート電極を挟んでその両側に絶縁膜を介して形成された一対のフローティングゲート電極と、上記半導体基板表面の上記フローティングゲートの下方からその外側にかけてそれぞれ形成された一対の半導体領域からなるソース領域およびドレイン領域とを設け、上記コントロールゲート電極の上部両端から、上記フローティングゲート電極の上方に向かって上記フローティングゲート電極を覆うようにひさし状電極部を形成し、上記フローティングゲート電極の蓄積電荷の過多により多値の情報記憶するように構成した。

【0012】上記した手段によれば、コントロールゲート電極の両側にフローティングゲート電極の上方を覆うようにひさし状電極部が形成されているため、容量結合比すなわちコントロールゲート電極とフローティングゲート電極との間の容量とフローティングゲート電極と基板間の容量との比が大きくなり、これによってコントロールゲート電極への印加電圧が同一であってもフローティングゲート電極と基板間に印加される電圧がひさし部がない構造の記憶素子に比べて大きくなり、フローティングゲート電極に対する電荷の注入、引き抜きが良好に行なえ、書込み、消去特性が向上するようになる。

【0013】また、コントロールゲート電極の両側壁にそれぞれフローティングゲート電極を形成したMOSF

ETからなる記憶素子において、フローティングゲート電極の外側境界に合わせてソース、ドレイン領域を形成し、2つのフローティングゲート電極にそれぞれ別個に電荷を注入できるように構成したものである。

【0014】より具体的には、半導体基板上に絶縁膜を介して形成されたコントロールゲート電極と、該コントロールゲート電極を挟んでその両側に絶縁膜を介して形成された一対のフローティングゲート電極と、上記半導体基板表面の上記フローティングゲートの下方からその外側にかけてそれぞれ形成された一対の半導体領域からなるソース領域およびドレイン領域の内端は、上記フローティングゲート電極の外側境界に整合するように形成した。

【0015】コントロールゲート電極の両側壁にそれぞれフローティングゲート電極を形成したMOSFETからなる記憶素子としては、従来のようにコントロールゲート電極の外側境界すなわちフローティングゲート電極の内側境界に整合されるようにソース、ドレイン領域を形成した構造もあるが、その場合、記憶素子のフローティングゲート電極の電荷に応じたコントロールゲート電圧-ドレイン電流特性は、図4(c)のように比較的狭い範囲に分布し識別が困難であるが、上記手段のようにフローティングゲート電極の外側境界に整合するようにソース、ドレイン領域を形成した構造によれば、フローティングゲート電極の電荷に応じたコントロールゲート電圧-ドレイン電流特性は、図4(a)のように比較的広い範囲に分布し識別が容易となり、読出し特性が良好となる。

【0016】また、上記コントロールゲート電極の上部両端から、上記フローティングゲート電極の上方に向かって上記フローティングゲート電極を覆うようにひさし状電極部を形成すると良い。これによって容量結合比を大きくし、フローティングゲート電極に対する電荷の注入、引き抜きが良好に行なえ、書込み、消去特性が向上するようになる。

【0017】さらに、上記フローティングゲート電極と上記半導体基板との間の絶縁膜は、上記コントロールゲート電極と上記半導体基板との間の絶縁膜よりも薄く形成する。これにより、フローティングゲート電極に対する電荷の注入が良好に行なえ、書込み特性が向上するようになる。

【0018】また、上記構成の記憶素子がマトリックス状に配置され同一行の記憶素子のコントロールゲート電極は同一のワード線に接続され、同一列の記憶素子のソース、ドレイン領域は同一のビット線に接続されるように構成されたメモリアレイと、外部から供給されるアドレス信号に基づいて上記ワード線を選択するアドレスデコーダと、書込み時には外部から供給される書込みデータを保持して上記ビット線にデータに対応した電位を印加するとともに読出し時には上記ビット線の電位を増幅

するセンスラッチ回路と、外部から供給されるコマンドコードに基づいて内部回路に対する制御信号を形成して上記アドレスデコーダやセンスラッチ回路等の内部回路に対する制御信号を生成する制御回路とを備えた不揮発性半導体記憶装置は、1つの記憶素子に2ビットのデータを記憶させることができるため、チップサイズを増大させることなく記憶容量を増加させることができるとともに、しきい値の相違により多値情報を記憶する記憶装置（半導体メモリ）に比べてセンスラッチ回路等メモリアレイの周辺回路の構成が簡単になる。

【0019】本出願の他の発明は、一对のフローティングゲート電極の蓄積電荷の過多により多値の情報を記憶するように構成された記憶素子を備え、前記記憶素子のソース領域またはドレイン領域としての一对の半導体領域の一方には第1ビット線が、また他方には第2ビット線が接続されているとともに、上記第1ビット線および第2ビット線にはそれぞれ書込みデータを保持する第1と第2のラッチ回路が接続可能に構成された多値不揮発性半導体記憶装置において、上記第1ビット線と第2ビット線に対応された第1と第2のラッチ回路に2ビットの書込みデータを保持させるとともにワード線に高電圧を印加した状態で、上記第1のラッチ回路に保持されている書込みデータに応じて第1の電圧を第1ビット線に印加するとともに第2ビット線には書込みデータに関わらず第2の電圧を印加して1回目の書込み動作を行ない、しかる後、ワード線に高電圧を印加した状態で、上記第2のラッチ回路に保持されている書込みデータに応じて第1の電圧を第2ビット線に印加するとともに第1ビット線には書込みデータに関わらず第2の電圧を印加して2回目の書込み動作を行ない、前記2回の書込み動作で1つの記憶素子に2ビットのデータを書き込むようにした。

【0020】上記した手段によれば、外部から入力された書込みデータを何らデータ変換することなくそのままラッチ回路に保持させて記憶素子に多値情報として記憶させることができ、メモリアレイの周辺回路の構成が簡単になる。

【0021】また、一对のフローティングゲート電極の蓄積電荷の過多により多値の情報を記憶するように構成された記憶素子を備え、前記記憶素子のソース領域またはドレイン領域としての一对の半導体領域の一方には第1ビット線が、また他方には第2ビット線が接続されているとともに、上記第1ビット線および第2ビット線には第1と第2のセンスアンプ回路が接続可能に構成された多値不揮発性半導体記憶装置において、上記第1ビット線を第1の電位にプリチャージするとともにワード線を選択レベルにした後、上記第2ビット線を第2の電位点に接続した状態で第1のセンスアンプ回路を活性化させて第1ビット線の電位を増幅して1回目の読出し動作を行ない、しかる後、上記第2ビット線を第1の電位に

プリチャージするとともにワード線を選択レベルにした後、第1ビット線を第2の電位点に接続した状態で第2のセンスアンプ回路を活性化させて第2ビット線の電位を増幅して2回目の読出し動作を行ない、前記2回の読出し動作で2ビット読出しデータを得るようにした。これにより、センスアンプ回路によって増幅されたデータを何らデータ変換することなくそのまま外部へ出力させることができ、メモリアレイの周辺回路の構成が簡単になる。

10 【0022】さらに、一对のフローティングゲート電極の蓄積電荷の過多により多値の情報を記憶するように構成された記憶素子を備え、前記記憶素子のソース領域またはドレイン領域としての一对の半導体領域の一方には第1ビット線が、また他方には第2ビット線が接続されているとともに、上記第1ビット線または第2ビット線には電流検出回路が、また第2ビット線または第1ビット線には読出し電圧を印加可能なスイッチ手段が接続された多値不揮発性半導体記憶装置において、上記スイッチ手段により第2ビット線または第1ビット線に読出し電圧を印加した状態でワード線を選択レベルにして、上記第1ビット線または第2ビット線に流れる電流を上記電流検出回路で検出してその電流値に基づいて2ビットの読出しデータを得るようにした。これにより、一回の読出し動作で記憶データを得ることができ、データの読出し時間が短くなる。

20 【0023】さらに、本出願の他の発明は、一对のフローティングゲート電極の蓄積電荷の過多により多値の情報を記憶するように構成された記憶素子の製造にあたり、半導体基板上に絶縁膜を形成しその上にコントロールゲート電極の本体部を形成した後、該コントロールゲート電極の本体部の表面から上記半導体基板の表面にかけて絶縁膜を形成し、その後前記絶縁膜上に第1の導電層を被着し、異方性エッチングにより第1の導電層をエッチングして上記コントロールゲート電極の側壁にフローティングゲート電極を形成した後、イオン打込みによりソース、ドレイン領域となる半導体領域を形成し、しかる後上記コントロールゲート電極からフローティングゲート電極の上方にかけてフローティングゲート電極とは絶縁膜を介してまたコントロールゲート電極とは接触するように第2の導電層を形成し、該第2の導電層をパターンニングして上記ひさし状電極を形成するようにした。これにより、僅かな工程の追加でひさし状電極を有するコントロールゲート電極を形成して容量結合比を大きくし、書込み、消去特性が良好な不揮発性半導体記憶装置を得ることができる。

30 【0024】また、望ましくは、上記記憶素子のコントロールゲート電極を記憶素子以外のMOSトランジスタのコントロールゲート電極と同一工程で形成し、上記フローティングゲート電極の形成は上記記憶素子以外のMOSトランジスタの上を絶縁膜で覆った状態で行ない、

その後上記記憶素子のソース、ドレイン領域となる半導体領域を記憶素子以外のMOSトランジスタのソース、ドレイン領域となる半導体領域と同一工程で形成する。これによって、記憶素子と記憶素子以外のMOSトランジスタを多くの共通の工程で形成することができ、トータルのチップコストを低減することができるようになる。

【0025】

【発明の実施の形態】以下、本発明の実施例を、図面を用いて説明する。

【0026】図1は、本発明に係る不揮発性記憶素子の第1の実施例の断面構造を示す。この実施例のMOSFETは、単結晶シリコンのようなN型半導体基板100上に形成されたP型ウェル領域110の表面にゲート絶縁膜121を介してポリシリコン層等からなるコントロールゲート電極122が形成され、このコントロールゲート電極122の側壁からウェル領域110の表面にかけてトンネル酸化膜123a、123bが形成されている。

【0027】そして、このトンネル酸化膜123a、123bの上にはコントロールゲート電極122の側方に位置するようにポリシリコン等からなる一対のフローティングゲート電極124a、124bが形成され、このフローティングゲート電極124a、124bの表面は絶縁膜125a、125bで覆われている。そして、上記コントロールゲート電極122の上部両端から、側方に位置するフローティングゲート電極124a、124bの表面の絶縁膜125a、125bの上方にかけてフローティングゲート電極124a、124bを覆うようにひさし状電極部122a、122bが延設されている。また、上記ウェル領域110の表面の上記コントロールゲート電極122の側方にあたる部位には、コントロールゲート電極122の外側境界に整合されたソース、ドレイン領域としての拡散層126a、126bが形成され、この拡散層126a、126bの上にはそれぞれソース、ドレイン電極127a、127bが拡散層126a、126bと接触するように形成されている。

【0028】図2は、本発明に係る不揮発性記憶素子の第2の実施例の断面構造を示す。この実施例のMOSFETは、図1の実施例と類似の構造を有する。図1の実施例との差異は、図2の実施例では、コントロールゲート電極122の上部両端から延びるひさし状電極部122a、122bが設けられていない点と、ウェル領域110の表面に形成されたソース、ドレイン領域としての拡散層126a、126bが、コントロールゲート電極122の外側境界にではなく上記フローティングゲート電極124a、124bの外側境界に整合されるように形成されている点にある。すなわち、図2の実施例のMOSFETの方が、図1の実施例よりも拡散層126a、126bはコントロールゲート電極122から離れ

た位置に形成されている。

【0029】図3は、本発明に係る不揮発性記憶素子の第3の実施例の断面構造を示す。この実施例のMOSFETは、図1および図2の実施例と類似の構造を有する。図1の実施例との差異は、ウェル領域110の表面に形成されたソース、ドレイン領域としての拡散層126a、126bが、図2の実施例と同様にフローティングゲート電極124a、124bの外側境界に整合されるように形成されている点にある。すなわち、図3の実施例のMOSFETの方が、図1の実施例よりも拡散層126a、126bがコントロールゲート電極122から離れるように形成されている。

【0030】一方、図3の実施例と図2の実施例との差異は、図3の実施例では、コントロールゲート電極122の上部両端から、側方に位置するフローティングゲート電極124a、124bの表面の絶縁膜125a、125bの上にかけてフローティングゲート電極124a、124bを覆うようにひさし状電極部122a、122bが延設されている点にある。以下、それぞれの実施例の記憶素子の特徴と利点を述べる。

【0031】図1の実施例のMOSFETは、コントロールゲート電極122の上部両端からフローティングゲート電極124a、124bを覆うようにひさし状電極部122a、122bが延設されているため、容量結合比が大きくなる。すなわち、コントロールゲート電極122とフローティングゲート電極124a、124bとの間の容量C2と、フローティングゲート電極124a、124bと基板との間の容量C1との和(C1+C2)とC2の比C2/(C1+C2)が大きくなり、これによって同一のコントロールゲート電極印加電圧によりフローティングゲート電極と基板間に印加される電圧が大きくなり、フローティングゲート電極に対する電荷の注入、引き抜きが良好に行なえ、書込み、消去特性が向上するようになる。

【0032】図2の実施例のMOSFETは、フローティングゲート電極124a、124bの外側境界に整合されるようにソース、ドレイン領域としての拡散層126a、126bが形成されている。すなわち、拡散層126a、126bがコントロールゲート電極122から離れるように形成されている。拡散層126a、126bがコントロールゲート電極の外側境界すなわちフローティングゲート電極の内側境界に合わせてソース、ドレイン領域を形成されていると、フローティングゲート電極の電荷に応じたコントロールゲート電圧ードレイン電流特性は、図4(c)のように比較的狭い範囲に分布し識別が困難であるが、図2の実施例のようにフローティングゲート電極124a、124bの外側境界に合わせてソース、ドレイン領域124a、124bが形成されていると、フローティングゲート電極の電荷に応じたコントロールゲート電圧ードレイン電流特性は、図4

(a) または (b) のように比較的広い範囲に分布するようになる。そのため、各々の識別が容易となり、比較的容易に正確なデータの読出しが可能となる。

【0033】図3の実施例のMOSFETは、図1の実施例と図2の実施例のそれぞれの利点を両方備えている。すなわち、コントロールゲート電極とフローティングゲート電極の容量結合比が大きくなり、書き込み、消去特性が良好となるとともに、コントロールゲート電圧ードレイン電流特性が比較的広い範囲に分布して識別が容易となり正確なデータの読出しが行なえる。

【0034】次に、上記実施例のサイドウォールに一对のフローティングゲート電極を有するMOSFETの製造工程の一例を図3の構造のMOSFETを例にとつて、図5に従って説明する。なお、実施例の記憶素子としてのMOSFETは、アドレスデコーダなどのメモリアレイ周辺回路を構成する能動素子としてのMOSFETと並行して形成可能であるので、便宜上両者を並べて図示して共通工程についても合わせて説明する。

【0035】図5(a)は、N型単結晶シリコン基板100上に形成された低不純物濃度のP型ウェル領域110の表面にゲート絶縁膜121を介してポリシリコン層等からなるコントロールゲート電極122が形成された状態を示す。ここまでの工程は、記憶素子としてのサイドウォール型MOSFETも周辺回路を構成する能動素子としてのMOSFETも同じであり、同時に形成される。

【0036】その後、図5(b)のように、周辺回路を構成する能動素子としてのMOSFETの部分は窒化シリコン膜やレジスト膜などの保護膜140で覆った状態で、熱酸化あるいはデポジションにより記憶素子としてのMOSFETのゲート電極122の表面(上面および側壁)から基板100の表面にかけて、ゲート酸化膜121と同等若しくはそれよりも薄い酸化膜123を形成する。この酸化膜123が後にトンネル酸化膜となる絶縁膜であり、後に形成されるフローティングゲート電極に対するホットエレクトロンの注入やFNトンネル現象による電子の引き抜きが効率良く行なえるような厚みに形成される。

【0037】次に、周辺回路を構成する能動素子としてのMOSFETの部分は保護膜140で覆ったまま、上記酸化膜123上に不純物を含む低抵抗のポリシリコン層をCVD(化学蒸着)法等により形成した後、異方性エッチングによりポリシリコン層をエッチングする。すると、異方性エッチングよりポリシリコンは横方向よりも縦方向に強くエッチングされて、図5(c)のように、記憶素子としてのMOSFETのゲート電極122の両側壁にサイドウォールと呼ばれる残留ポリシリコンが形成される。この実施例は、このゲート電極122の両側壁の残留ポリシリコンをフローティング電極124a、124bとして利用する。

【0038】続いて、周辺回路を構成する能動素子としてのMOSFETの部分を覆っている保護膜140を除去してから、素子領域の周囲を窒化シリコン膜等で覆い、イオン打込みによりN型不純物を基板100の表面に導入させた後、熱処理を行なって不純物を活性化させる。すると、ゲート電極122がイオン打込みマスクとして作用して、図5(d)のように、記憶素子としてのMOSFETの部分では、ゲート電極122の両側壁のフローティング電極124a、124bの外側境界に整合されるように、ソース、ドレイン領域としての拡散層126a、126bが形成される。また、周辺回路を構成する能動素子としてのMOSFETの部分ではゲート電極122Bに整合されるようにソース、ドレイン領域としての拡散層126c、126dがそれぞれ形成される。

【0039】その後、イオン打ち込みマスクとなった窒化膜を除去してから、図5(e)のように、窒化シリコン膜などの絶縁膜125をCVD法等により全面的に形成する。そして、コントロールゲート電極122の上面が露出するように当該窒化シリコン膜を選択エッチングし、さらにその上に低抵抗のポリシリコン層をCVD法等により全面的に形成する。それから、このポリシリコン層に対して選択エッチングを行なって、記憶素子としてのMOSFETのゲート電極122の上方から側壁にかかる部分にのみポリシリコン層を残してやる。これにより、ゲート電極122の上部両端からサイドウォール絶縁膜125a、125bの上にかけてフローティングゲート電極124a、124bを覆うようにひさし状電極部122a、122bが形成される。

【0040】しかる後、再度窒化シリコン膜などの絶縁膜をCVD法等により全面的に形成し、基板を覆うこれらの絶縁膜の拡散層126a、126bに対応する部位にコンタクトホールを形成し、アルミニウム等の導電層を蒸着法等により全面的に形成した後、パターニングを行なって図5(f)のように、ソース、ドレイン電極127a、127bを形成する。なお、このとき周辺回路を構成する能動素子としてのMOSFETの部分ではソース、ドレイン領域としての拡散層126c、126dに接続されたソース、ドレイン電極127c、127dが、またそれ以外の領域では素子間もしくは回路間を接続するアルミ配線がそれぞれ同時に形成される。

【0041】次に、上記実施例のような構造を有するMOSFETからなる記憶素子への2ビットの情報の書き込み、読出しおよび消去の方法について説明する。

【0042】本発明の記憶素子への情報の書き込みは、コントロールゲートの両サイドにあるフローティングゲート電極124a、124bへの電荷の注入によって行なわれる。具体的には、図6(a)のように左右のフローティングゲート電極124a、124bのいずれにも負電荷を注入しない状態と、図6(b)のように左側のフ

ローティングゲート電極124aにのみ負電荷を注入した状態と、図6(c)のように右側のフローティングゲート電極124bにのみ負電荷を注入した状態と、図6(d)のように左右のフローティングゲート電極124a, 124bの両方に負電荷を注入した状態、の4つの状態をそれぞれ2ビットの書き込みデータ“0, 0”, “1, 0”, “0, 1”, “1, 1”に対応させて記憶するようにされる。

【0043】記憶素子の各状態とデータとの対応関係は上記の場合に限定されず、どのような対応でも構わないが、上記のような関係とすることにより、以下に説明するようにデータの書き込みが比較的容易に行なえる。すなわち、左側のフローティングゲート電極124aに負電荷を注入したい場合には、図6(b)のように電荷を注入したい側の拡散層126aに4Vのような電圧を、また反対側の拡散層126bには接地電位(0V)をそれぞれ印加すると共に、コントロールゲート電極122には12Vのような高電圧を印加する。すると、ソースとしての拡散層126bからドレインとしての拡散層126aへ向かって電子が移動し、その電子がソース・ドレイン間電圧で加速されてドレイン近傍でホットエレクトロンが発生するため、発生したホットエレクトロンは左側のフローティングゲート電極124aに注入される。

【0044】一方、右側のフローティングゲート電極124bに負電荷を注入したい場合には、図6(b)のように電荷を注入したい側の拡散層126bに4Vのような電圧を、また反対側の拡散層126aには接地電位(0V)をそれぞれ印加すると共に、コントロールゲート電極122には12Vのような高電圧を印加する。すると、ソースとしての拡散層126aからドレインとしての拡散層126bへ向かって電子が移動し、その電子がソース・ドレイン間電圧で加速されてドレイン近傍でホットエレクトロンが発生するため、発生したホットエレクトロンはフローティングゲート電極124bに注入される。

【0045】従って、図6(b)の状態を書込みデータ“1, 0”に対応させ、図6(c)の状態を書込みデータ“0, 1”に対応させ、さらに図6(d)の状態を書込みデータ“1, 1”に対応させれば、2ビットの書き込みデータの各ビットのうち“1”が立っているか否かに応じて拡散層126a, 126bに4Vの電圧を印加してやることで、対応する所望のフローティング電極に電荷を注入させることができる。

【0046】なお、上記のようにドレイン電流を流すことにより発生したホットエレクトロンをフローティングゲート電極へ注入する方式では、左右のフローティングゲート電極124aと124bへの電荷の注入は同時に行なわせることはできない。そこで、データ“1, 1”の書き込みの際には、書き込みデータ“1, 0”に対応し

た左側のフローティングゲート電極124aへの電荷の注入動作と、書き込みデータ“0, 1”に対応した右側のフローティングゲート電極124bへの電荷の注入動作とを別々に行なうことで、図6(d)のように左右のフローティングゲート電極124a, 124bの両方に負電荷を注入した状態を発生させることができる。

【0047】一方、データの消去動作すなわちフローティングゲート電極124a, 124bからの電荷の引き抜きは、図7に示すように、コントロールゲート電極122に-18Vのような負の高電圧を、また拡散層126a, 126bとウェル領域110に接地電位(0V)を印加することで行なう。このようにすれば、FNトンネル現象によりフローティングゲート電極124a, 124bに蓄積されている電子が拡散層126a, 126bへ引き抜かれるため、書き込み動作のように別々に行なう必要はない。しかも、かかるデータ消去は、同一のワード線に接続された記憶素子群(以下、セクタと称する)などウェル領域を共通にする複数の記憶素子について同時に行なうことができる。

【0048】なお、消去時の記憶素子へのバイアス電圧は、-18Vと0Vの組合せに限定されるものでなく、例えばコントロールゲート電極122に-14Vのような負の高電圧、また拡散層126a, 126bとウェル領域110に4Vの電圧を印加してトータルで18Vとなるようなバイアス電圧を印加することで行なうことも可能である。

【0049】ここで、ドレイン電流を流すことにより発生したホットエレクトロンをフローティングゲート電極へ注入する上記方式を採用した不揮発性メモリにおける書き込み動作手順の一例を図8のフローチャートを用いて説明する。

【0050】なお、図8のフローチャートは、例えば外部のCPUから不揮発性メモリに対して書き込みコマンドが入力されることで開始される。制御回路は、入力されたコマンドを解釈して書き込みコマンドであることを認知すると、書き込み対象のセクタ(以下、選択セクタと称する)の記憶素子に、図7に示すようなバイアス電圧を印加して1セクタ内のすべての記憶素子を一旦消去状態

(データ“00”に対応した状態)にする(ステップS1)。次に、選択セクタ内のすべての記憶素子のしきい値 V_{th} が消去ベリファイ電圧 V_{WE} よりも低くなっているか判定する(ステップS2)。そして、1つでも V_{WE} よりも高いしきい値の記憶素子があるときはステップS1へ戻って再度消去動作を行なう。

【0051】ステップS2ですべての記憶素子のしきい値 V_{th} が V_{WE} よりも低くなっていると判定したときは、ステップS3へ移行して書き込みデータに応じて第1ビットが“1”のときは図6(b)のようなバイアス電圧を記憶素子に印加して1回目の書き込み動作を行なってしきい値を上げてやる。次いで、選択セクタ内の書き込みを行

なった記憶素子のしきい値 V_{th} が書き込みペリファイ電圧 V_{WV1} よりも高くなっているか判定する（ステップS4）。そして、書き込みを行なってもしきい値が V_{WV1} よりも低い記憶素子があるときはステップS3へ戻って再度書き込み動作を行なう。この書き込み動作によって、しきい値が変化する記憶素子は、書き込みデータが“1，0”または“1，1”に対応したもののみである。

【0052】次に、ステップS5へ移行して書き込みデータに応じて第1ビットが“1”のときは図6（c）のようなバイアス電圧を記憶素子に印加して2回目の書き込み動作を行なってしきい値を上げてやる。そして、選択セクタ内の書き込みを行なった記憶素子のしきい値 V_{th} が書き込みペリファイ電圧 V_{WV2} よりも高くなっているか判定する（ステップS6）。そして、書き込みを行なってもしきい値が V_{WV2} よりも低い記憶素子があるときはステップS5へ戻って再度書き込み動作を行なう。2回目の書き込み動作によって、しきい値が変化する記憶素子は、書き込みデータが“0，1”または“1，1”に対応したもののみである。上記ステップS6で書き込み対象の記憶素子のしきい値 V_{th} がペリファイ電圧 V_{WE2} よりも高くなっていると判定すると、1セクタの書き込み処理を終了する。連続して複数のセクタの書き込みを行なう場合にはステップS1へ戻って上記動作を繰り返す。

【0053】次に、本発明の記憶素子における読出し動作について説明する。

【0054】上記書き込み動作によってフローティングゲート電極124a，124bへ電荷の注入が行なわれた記憶素子は、図9（a）のように、拡散層126aに0V、拡散層126bに例えば1～3Vのような読出しドレイン電圧 V_d をそれぞれ印加して、コントロールゲート電極122の印加電圧 V_g を変化させたときに、記憶データすなわち電荷が注入されたフローティングゲート電極に応じて、図4（a）のようなドレイン電流 I_d が流れる。一方、図9（b）のように、拡散層126aに読出しドレイン電圧 V_d 、拡散層126bに0Vの電圧をそれぞれ印加し、コントロールゲート電極122の印加電圧 V_g を変化させたときには、記憶データすなわち電荷が注入されたフローティングゲート電極に応じて、図4（b）のようなドレイン電流 I_d が流れる。

【0055】図4の（a）と（b）を比較すると明らかに、記憶データが“0，0”と“1，1”のときは、拡散層126a，126bへのバイアス電圧が逆になってもドレイン電流特性は同じである。これに対し、記憶データが“0，1”と“1，0”のときは、拡散層126a，126bへのバイアス電圧が逆になると、ドレイン電流特性も逆になる。すなわち、電荷が注入されているフローティングゲート電極側の拡散層に読出しドレイン電圧 V_d を印加したときの方が、同一のゲート電圧に対してドレイン電流 I_d が多く流れる。

【0056】したがって、コントロールゲート電極12

2の印加電圧 V_g を、図4に示す記憶データが“0，1”と“1，0”に対応した2つのドレイン電流曲線の中間の V_r のような値に設定して、拡散層126a，126bへのバイアス電圧を、図9（a），（b）のように逆の関係にして読出し動作を2回行なって、それぞれの場合にドレイン電流が流れたかどうか検出することで記憶データが上記4通りのいずれか判定することができる。表1に、図9（a）のような関係でバイアス電圧が印加された状態（バイアス状態1）と、図9（b）のような関係でバイアス電圧が印加された状態（バイアス状態2）のそれぞれにおける記憶データとドレイン電流の有無との関係を示す。表1において、丸印はドレイン電流が流れることを、×印はドレイン電流が流れないことを表わしている。

【0057】

【表1】

記憶データ	“0，0”	“0，1”	“1，0”	“1，1”
バイアス状態1	○	○	×	×
バイアス状態2	○	×	○	×

【0058】表1より、図9（a），（b）のように逆のバイアス関係にして読出し動作を2回行なって、2回ともドレイン電流が流れればその記憶素子の記憶データは“0，0”であり、1回目にドレイン電流が流れ2回目にはドレイン電流が流れなければその記憶素子の記憶データは“0，1”であり、1回目にドレイン電流が流れず2回目にドレイン電流が流れればその記憶素子の記憶データは“1，0”であり、2回ともドレイン電流が流れなければその記憶素子の記憶データは“1，1”であることが分かる。なお、ドレイン電流の有無は、記憶素子の読出し電流を直接基準電流と比較して検出しても良いが、後述のように、読出し電流を電圧に変換して基準電圧と比較して検出したり、あるいはプリチャージ方式で一方のビット線をプリチャージしてから記憶素子のゲートを選択レベルにしてビット線の電位が変化したか否かを検出することで行なうようにしても良い。

【0059】図10は、本発明に係る不揮発性記憶素子を適用した半導体記憶装置の一例としてのフラッシュメモリの実施例のブロック図を示す。特に制限されないが、この実施例のフラッシュメモリは1つのメモリセルに2ビットのデータを記憶可能な多値メモリとして構成され、単結晶シリコンのような1個の半導体チップ上に形成される。

【0060】なお、本実施例では、メモリアレイ10が2つのマットMAT-U，MAT-Dで構成され、2つのマットMAT-U，MAT-D間に各マット内のビット線BLに接続され読出し信号の増幅（センスアンプ）および保持（ラッチ）等の機能を有する回路（以下センスラッチ回路と称し、図にはSLTと記す）が配置されている。また、マットの外側すなわちビット線BLを挟

んでセンスラッチ回路(SLT)11と反対側に読出し時にそれぞれビット線のプリチャージを行なうプリチャージ回路が配置されている。センスラッチ回路11内のセンスアンプは、上側マットのビット線と下側マットのビット線の電位差を増幅することで読出しデータを検出しラッチする。特に制限されるものでないが、選択側のマットのビット線は読出し直前に電源電圧 V_{pc} のような電位にプリチャージされ、このビット線の電位と比較される非選択側のビット線は V_{pc} /ような電位にプリチャージされる。

【0061】メモリマットMAT-U, MAT-Dにはそれぞれ、コントロールゲートとそのサイドウォールにフローティングゲートを有する前記実施例のMOSFETにより構成されたメモリセルがマトリクス状に配置され、同一行のメモリセルのコントロールゲートは連続して形成されてワード線WLを構成し、同一列のメモリセルのドレインは共通の第1ビット線BLaに、また同一列のメモリセルのソースは共通の第2ビット線BLaに接続されている。

【0062】メモリアレイ10には、各メモリマットMAT-U, MAT-Dに対応してそれぞれX系のアドレスデコーダ(ワードデコーダ)13a, 13bが設けられている。該デコーダ13a, 13bにはデコード結果に従って各メモリマット内の1本のワード線WLを選択レベルに駆動するワードドライブ回路が含まれる。

【0063】Y系のアドレスデコーダ回路およびこのデコーダによって選択的にオン、オフされるカラムスイッチは、センスラッチ回路11と一体的に構成されている。21は上記センスラッチ回路11内のセンスアンプで増幅され、カラムデコーダおよびカラムスイッチで選択されたセンスアンプの出力をさらに増幅するメインアンプである。

【0064】この実施例のフラッシュメモリは、特に制限されないが、外部のマイクロプロセッサなどのコントロール装置から与えられるコマンド(命令)を解釈し当該コマンドに対応した処理を実行すべくメモリ内部の各回路に対する制御信号を順次形成して出力する制御回路(シーケンサ)30を備えており、コマンドが与えられるとそれを解読して自動的に対応する処理を実行するように構成されている。上記制御回路30は、例えばコマンドを実行するのに必要な一連のマイクロ命令群が格納されたROM(リード・オンリ・メモリ)31を備え、マイクロ命令が順次実行されてチップ内部の各回路に対する制御信号を形成するように構成される。さらに、制御回路30は、内部の状態を反映するステータスレジスタ32を備えている。

【0065】また、この実施例の多値フラッシュメモリには、書込みまたは消去に使用される高電圧を発生する内部電源回路22や、外部から入力される書込みデータ信号およびコマンドを取り込む入力バッファ回路24、

メモリアレイから読み出されたデータ信号および上記ステータスレジスタ32の内容を外部へ出力するための出力バッファ回路25、外部から入力されるアドレス信号を取り込むアドレスバッファ回路26、入力されるアドレス信号を取り込んでカウントアップ動作しY系のアドレスを発生するアドレスカウンタ27等が設けられている。

【0066】上記入力バッファ回路24、出力バッファ回路25およびアドレスバッファ回路26は、切換えスイッチ28を介して共通の入出力端子I/O0~I/O7に接続されており、時分割でデータやコマンド、アドレス信号を入出力するように構成されている。書込みの際に外部から供給される入力データは入力バッファ24により取り込まれて、メインアンプ21を介してセンスラッチ回路11内の選択中のセンスアンプにラッチされるように構成される。このとき、この実施例では、例えば8ビット単位で入力された書込みデータは、2ビットずつペアにされて一方のビットは前記メモリアレイ内10の第1ビット線に対応されたセンスアンプに、また他方のビットは前記メモリアレイ内10の第2ビット線に対応されたセンスアンプにそれぞれラッチされる。

【0067】上記内部電源回路22は、書込み電圧等の基準となる電圧を発生する基準電源発生回路や外部から供給される電源電圧 V_{cc} に基づいて書込み電圧、消去電圧、読出し電圧、ベリファイ電圧等チップ内部で必要とされる電圧を発生する内部電源発生回路、メモリの動作状態に応じてこれらの電圧の中から所望の電圧を選択してメモリアレイ10やろうアドレスデコーダ13a, 13b等へ供給する電源切り替え回路、これらの回路を制御する電源制御回路等からなる。なお、図1において、41は外部から電源電圧 V_{cc} が印加される電源電圧端子、42は同じく接地電位 V_{ss} が印加される電源電圧端子(グランド端子)である。

【0068】外部のCPU等からこの実施例のフラッシュメモリに入力される制御信号としては、例えばリセット信号RESやチップ選択信号CE、書込み制御信号WE、出力制御信号OE、コマンドもしくはデータ入力アドレス入力かを示すためのコマンドイネーブル信号CDE、システムクロックSC等がある。コマンドとアドレスはコマンドイネーブル信号CDEと書込み制御信号WEとに従って、入力バッファ回路25とアドレスバッファ回路27にそれぞれ取り込まれ、書込みデータはコマンドイネーブル信号CDEがコマンドもしくはデータ入力を示しているときに、システムクロックSCが入力されることでこのクロックに同期して入力バッファ回路25に取り込まれる。さらに、この実施例においては、メモリ内部の状態を反映するステータスレジスタ32の所定のビットに応じて、外部からアクセスが可能か否かを示すレディ/ビジィ信号R/Bを外部端子43へ出力する出力バッファ29が設けられている。

【0069】図11は、データ読出し方式として前述のプリチャージ方式を適用した場合における上記メモリアレイ10とセンスラッチ回路11の一実施例の概略構成を示す。メモリアレイ10内には複数のメモリセルMCがマトリックス状に配置され、同一行のメモリセルのコントロールゲートが接続されたワード線WLと、同一列のメモリセルのドレインが接続された第1ビット線BLaおよび同一列のメモリセルのソースが接続された第2ビット線BLbとは交差する方向に配設され、第1ビット線BLaおよび第2ビット線BLbとは互いに平行して配設されている。なお、図11においては、メモリ列毎にBLa1, BLa2, ……のように添字1, 2……を付けてビット線を区別している。後述のセンスアンプSAa, SAbについても同様である。

【0070】上記第1ビット線BLaおよび第2ビット線BLbの上記センスラッチ回路11と反対側にはそれぞれプリチャージMOSFET Qpa, Qpbが設けられており、読出し時に行なわれる2回の読出し動作に応じて第1ビット線BLaと第2ビット線BLbが交互にプリチャージされる。第1ビット線BLaおよび第2ビット線BLbにはスイッチSWa, SWbが設けられており、読出し時に非プリチャージ側の第1ビット線BLaまたは第2ビット線BLbは、スイッチSWa, SWbにより接地電位が印加される。

【0071】各ビット線BLa, BLbの一端にはビット線の電位を増幅するセンスアンプ機能とデータの保持機能を有するラッチ型センスアンプSAa, SAbがビット線毎に接続されている。これらのセンスアンプSAa, SAbの入出力端子とコモンデータ線CDL1, CDL2との間には、カラムアドレスをデコードした信号により選択的にオンされるカラムスイッチC-SW1, C-SW2が設けられている。

【0072】かかる構成のセンスラッチ回路11におけるデータ書込みは、先ず第1ビット線BLaと第2ビット線BLbに対応されたセンスアンプSAa, SAbにそれぞれ2ビットの書込みデータの各ビットデータを保持させるとともにワード線に12Vような高電圧を印加した後、センスアンプSAaに保持されている書込みデータに応じてそれが“0”のときは0Vを、またそれが“1”のときは4Vのような書込み電圧を第1ビット線BLaに印加する。このとき他方の第2ビット線BLbにはセンスアンプSAbに保持されている書込みデータに関わらず0Vを印加する。これによって、図6(b)に示すようなバイアス状態が生成され、フローティングゲート電極124aへの電荷の注入が行なわれる。

【0073】次に、ワード線に12Vような高電圧を印加して、センスアンプSAbに保持されている書込みデータに応じてそれが“0”のときは0Vを、またそれが“1”のときは4Vのような書込み電圧を第2ビット線BLbに印加する。このとき他方の第1ビット線BLa

にはセンスアンプSAaに保持されている書込みデータに関わらず0Vを印加する。これによって、図6(c)に示すようなバイアス状態が生成され、フローティングゲート電極124bへの電荷の注入が行なわれる。このようにして2回の書込み動作により、センスアンプSAa, SAbに保持された書込みデータが“0, 0”のときは何れの場合にもフローティングゲート電極124a, 124bへの電荷の注入はなされず、データが“1, 0”のときは1回目の書込み動作の際にフローティングゲート電極124aへ電荷が注入され、データが“0, 1”のときは2回目の書込み動作の際にフローティングゲート電極124bへ電荷が注入され、データが“1, 1”のときは1回目と2回目の書込み動作の際にそれぞれフローティングゲート電極124a, 124bへ電荷が注入される。これによって、図6(a)～(d)に示すように2ビットの書込みデータに対応したフローティングゲート電極124a, 124bにおける蓄積電荷状態が実現できる。データ消去時には、ワード線WL(コントロールゲート)に負の高電圧(例えば-18V)を印加するとともに第1ビット線BLaおよび第2ビット線BLbに0Vを印加してFNトンネル現象によりメモリセルのフローティングゲートから負の電荷を引き抜いてそのしきい値を低くするように構成されている。

【0074】特に制限されるものでないが、この実施例のフラッシュメモリは、各メモリセルに2値のデータを記憶するか、4値のデータを記憶するかを選択できるように構成することが可能である。各メモリセルに2値のデータを記憶する場合には、前記センスラッチ回路11内のセンスアンプには1つおきに書込みデータを転送させて記憶素子の片側のフローティングゲート電極にのみ電荷を注入し、読出し時には第1ビット線BLaまたは第2ビット線BLbのいずれか一方に対応されているセンスアンプによりビット線の電位を増幅するように構成することができる。記憶素子の両側のフローティングゲート電極に同一のデータに基づく電荷の注入を行なうようにしても良い。これにより、データの信頼性が高くなる。

【0075】次に、上記プリチャージ方式の実施例におけるデータ読出し手順を、図12のフローチャートを用いて説明する。

【0076】特に制限されるものでないが、図12のフローチャートは、例えば外部のCPUから不揮発性メモリに対して読出しコマンドが入力されることで開始される。制御回路は、入力されたコマンドを解読して読出しコマンドであることを認知すると、アドレス信号を取り込んで選択側のメモリマツト内の第1ビット線BLaを1Vのような電位Vpcにプリチャージする(ステップS11)。また、このとき非選択側のメモリマツト内の第1ビット線BLaはVpcの半分のVpc/2にプリ

チャージする。

【0077】次に、取り込んだアドレス信号をデコードして対応するワード線WLを3Vのような選択レベルにする(ステップS12)。これによって、記憶素子は、一対のフローティングゲート電極の電荷の有無によってしきい値が異なるためドレイン電流が流れたり、流れなかったりする。そして、しきい値が低くドレイン電流が流れた記憶素子が接続された第1ビット線BLaはプリチャージ電荷が第2ビット線に向かって流れてその電位が接地電位まで下がる。一方、しきい値が高くドレイン電流が流れなかった記憶素子が接続された第1ビット線BLaはプリチャージ電荷がそのまま残ってその電位はVpcレベルを維持する。

【0078】この状態で制御回路は、プリチャージした第1ビット線BLaに接続されているセンスアンプSAaを活性化する(ステップS13)。すると、上記第1ビット線BLaの電位0VまたはVpcが非選択メモリマット側の対応するビット線のプリチャージ電位Vpc/2と比較され、その電位差が増幅される。増幅された読出しデータは、そのままセンスアンプSAaに保持される。

【0079】それから、制御回路は、選択ワード線の電位を一旦立ち下げてから、選択側のメモリマット内の第2ビット線BLbをVpcにプリチャージする(ステップS14, S15)。また、このとき非選択側のメモリマット内の第2ビット線BLbはVpc/2にプリチャージする。

【0080】次に、再び同一のワード線WLを選択レベルにする(ステップS16)。これによって、記憶素子は、一対のフローティングゲート電極の電荷の有無に応じてドレイン電流が流れたり、流れなかったりする。そして、ドレイン電流が流れた記憶素子が接続された第2ビット線BLbはプリチャージ電荷が第2ビット線に向かって流れてその電位が接地電位まで下がる。一方、ドレイン電流が流れなかった記憶素子が接続された第2ビット線BLbはプリチャージ電荷がそのまま残ってその電位はVpcレベルを維持する。

【0081】この状態で制御回路は、プリチャージした第2ビット線BLbに接続されているセンスアンプSAbを活性化する(ステップS17)。すると、上記第2ビット線BLbの電位0VまたはVpcが非選択メモリマット側の対応するビット線のプリチャージ電位Vpc/2と比較され、その電位差が増幅される。増幅された読出しデータは、そのままセンスアンプSAbに保持される。このようにして、センスアンプに読み出され保持されているデータは、書込みを行なったときのデータと同一であり、例えば8ビットの単位でメインアンプに送られて増幅されて出力バッファにより外部へ出力される(ステップS18)。

【0082】以上、ビット線プリチャージ方式を適用し

た場合のセンスラッチ回路11とそれによるデータ読出し方法について説明した。かかるデータ読出し方法は、記憶素子のゲート電圧ードレイン電流特性が図4

(a), (b)のように、記憶データに応じてある程度分散している場合に有効である。一方、図1~図3の実施例のようなサイドウォール型フローティングゲート電極を有するMOSFETは、その構造や印加電圧によっては、記憶データに応じて図13に示すようなゲート電圧ードレイン電流特性を示す場合がある。すなわち、各ドレイン電流特性曲線が緩やかで重なっている場合である。このようなゲート電圧ードレイン電流特性を有する記憶素子から記憶データを読み出す場合には、2つのやり方が考えられる。

【0083】第1の方法は、読出し用のゲート電圧(ワード線電位)をVr1, Vr2, Vr3のように3段階に変えながら複数回の読出しを行ない、得られたデータをラッチしておいて判定する方法である。この場合、読出し動作を3回行なうので、所要時間が長くなる。

【0084】第2の方法は、所定のゲート電圧(ワード線電位)を印加してそのとき記憶素子に流れるドレイン電流の大きさを検出してデータを判定する電流センス方式である。この方式は、一回の読出し動作でデータを判別できるので所要時間が短くて済むという利点がある。以下、この電流センス方式の実施例を説明する。

【0085】電流センス方式では、図11に示す書込み用の回路とは別個に、各メモリ列毎に図14に示すような電流検出判定回路50と、読出し時に第1ビット線BLaを電流検出判定回路50に接続させるスイッチ61および第2ビット線BLbに1Vのような読出し電圧を与える読出し電圧供給端子VRに接続させるスイッチ62とが設けられる。

【0086】図15は、上記電流検出判定回路50の構成例を示す。図15の電流検出判定回路50は、第1ビット線BLaから流れ出す読出し電流Idを電圧に変換する抵抗Rdと、直列抵抗R1, R2, R3, R4からなり該抵抗Rdで変換された電圧Vdと比較される比較電圧Vref1, Vref2, Vref3を発生する抵抗分圧回路51と、上記抵抗Rdで変換された電圧Vdが一方の入力端子に共通に入力され他方の入力端子に上記比較電圧Vref1, Vref2, Vref3がそれぞれ入力された電圧比較回路52a, 52b, 52cと、これらの電圧比較回路52a, 52b, 52cの出力に基づいて2ビットのデータを生成する2ビットデータ生成回路53とから構成される。

【0087】電圧比較回路52a, 52b, 52cは、抵抗Rdで変換された電圧Vdと比較電圧Vref1, Vref2, Vref3とを比較し、VdがVref3よりも高いと電圧比較回路52a, 52b, 52cの出力がすべてハイレベルとなる。また、VdがVref3よりも低くVref2よりも高いと電圧比較回路52aの出力がロウレベル、52

b, 52cの出力がハイレベルとなり、VdがVref2よりも低くVref1よりも高いと電圧比較回路52a, 52bの出力がロウレベル、52cの出力がハイレベルとなる。さらに、VdがVref1よりも低いと電圧比較回路52a, 52b, 52cの出力がすべてロウレベルとなる。

【0088】表2に、上記電圧比較回路52a, 52b, 52cの出力Va, Vb, Vcとデータ生成回路53の2ビット出力データD0, D1との関係を示す。

【0089】

【表2】

比較回路出力			2ビット データ
Va	Vb	Vc	
H	H	H	"0, 0"
H	H	L	"0, 1"
H	L	L	"1, 0"
L	L	L	"1, 1"

【0090】この実施例においては、一回の読出し動作で記憶データを判定することができ、データの読出し時間が短くなるという利点がある。

【0091】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、実施例においては、コントロールゲート電極を挟んで対向する一対の側壁にフローティングゲート電極を形成した構造のMOSFETからなる記憶素子について説明したが、コントロールゲート電極を挟んで左右の対向する一対の側壁のみならず前後の対向する一対の側壁にもフローティングゲート電極を形成した構造のMOSFETからなる記憶素子についても適用することができる。この場合には、1つの記憶素子に3ビットの情報を記憶することができる。さらに、コントロールゲート電極を矩形状でなく、六角形あるいは八角形に形成し、対向する各対の側壁にフローティングゲート電極を形成した構造のMOSFETを記憶素子とすることでさらに1素子に記憶できる情報のビット数を増やすことが可能である。

【0092】また、実施例においては、消去によりメモリセルのしきい値を下げ書き込みによりメモリセルのしきい値を上げる方式のフラッシュメモリについて説明したが、本発明は消去によりメモリセルのしきい値を上げ書き込みによりメモリセルのしきい値を下げる方式のフラッシュメモリに対しても適用することができる。また、フローティングゲート電極に負電荷ではなく正の電荷（ホール）を蓄積する方式でも良い。さらに、データ“1”に対応する記憶素子に書き込み（電荷の注入）を行なう代わりに、データ“0”に対応する記憶素子に書き込み（電荷の注入）を行なうようにしてもよい。

【0093】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるコン

ロールゲート電極の両側壁にフローティングゲート電極を有するサイドウォール型MOSFETを記憶素子とする不揮発性メモリに適用した場合について説明したが、この発明はそれに限定されるものでなく、本発明は、コントロールゲート電極の下などコントロールゲート電極とは別に複数個のフローティングゲート電極を有するMOSFETを記憶素子とする不揮発性メモリ一般に利用することができる。

【0094】

10 【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0095】すなわち、本発明に従うと、コントロールゲート電極の両側壁にそれぞれフローティングゲート電極を形成したMOSFETを記憶素子とする不揮発性半導体記憶装置において、書き込み、消去特性を向上させるとともに、読出し特性を向上させることができる。

【図面の簡単な説明】

20 【図1】本発明に係る不揮発性記憶素子の第1の実施例の断面構造を示す断面正面図である。

【図2】本発明に係る不揮発性記憶素子の第2の実施例の断面構造を示す断面正面図である。

【図3】本発明に係る不揮発性記憶素子の第3の実施例の断面構造を示す断面正面図である。

【図4】本発明に係るサイドウォールにフローティングゲート電極を有する記憶素子のゲート電圧ードレイン電流特性および従来の同タイプの記憶素子のゲート電圧ードレイン電流特性を示すグラフである。

30 【図5】第3の実施例の記憶素子の製造方法を工程順に示す断面図である。

【図6】実施例の記憶素子における記憶データとバイアス電圧およびフローティングゲート電極の注入電荷との関係を模式的に示す断面図である。

【図7】実施例の記憶素子におけるデータ消去時のバイアス状態を模式的に示す断面図である。

【図8】実施例の記憶素子を適用した半導体記憶装置における書き込み処理の手順を示すフローチャートである。

【図9】実施例の記憶素子におけるデータ読出し時のバイアス状態を模式的に示す断面図である。

40 【図10】本発明に係る記憶素子を適用して有効な半導体記憶装置の一例としてのフラッシュメモリの全体構成例を示すブロック図である。

【図11】メモリアレイおよびセンスラッチ回路の概略構成を示す回路構成図である。

【図12】実施例の記憶素子における読出し処理の手順を示すフローチャートである。

【図13】本発明に係る記憶素子のゲート電圧ードレイン電流特性の他の例を示すグラフである。

50 【図14】本発明に係る記憶素子を用いた半導体記憶装置における電流センス方式の読出し回路の構成例を示す

回路構成図である。

【図15】図14の実施例における電流検出判定回路の構成例を示す回路構成図である。

【符号の説明】

- 10 メモリアレイ
- 11 センスラッチ回路
- 12a, 12b プリチャージ回路
- 13a, 13b Xデコーダ
- 21 メインアンプ
- 22 内部電源回路
- 24 入力バッファ回路
- 25 出力バッファ回路
- 26 アドレスバッファ回路
- 27 アドレスカウンタ
- 28 入出力切換えスイッチ

29 R/B信号出力バッファ

30 制御回路

100 半導体基板

110 ウェル領域

121 ゲート酸化膜

122 コントロールゲート電極

123a, 123b トネル酸化膜

124a, 124b フローティングゲート電極

125 絶縁膜

10 126a, 126b 拡散層(ソース、ドレイン領域)

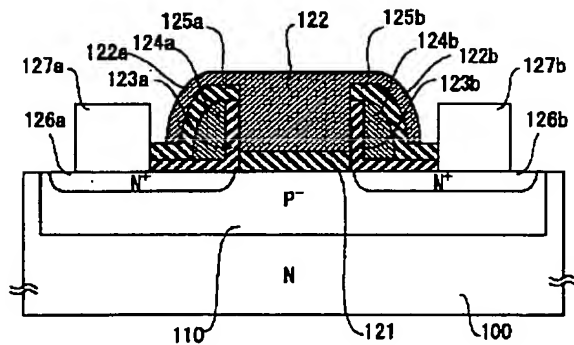
MC 記憶素子

WL ワード線

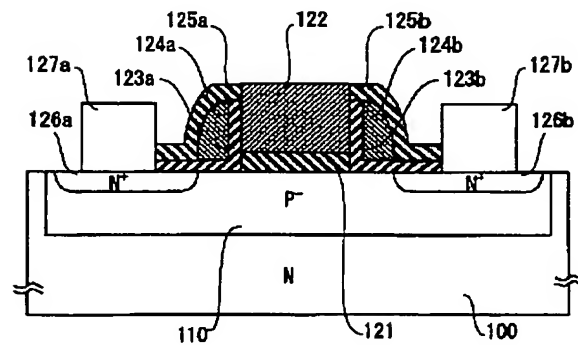
BLa 第1ビット線

BLb 第2ビット線

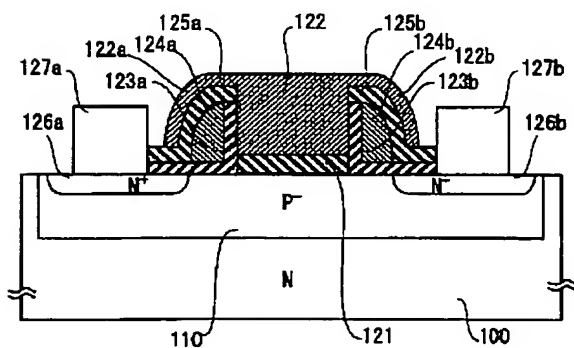
【図1】



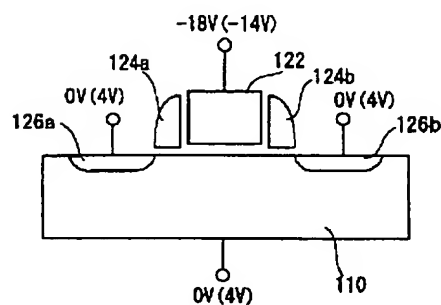
【図2】



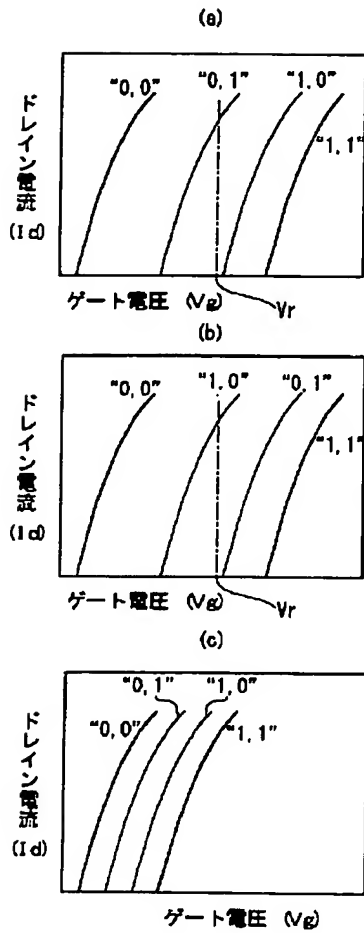
【図3】



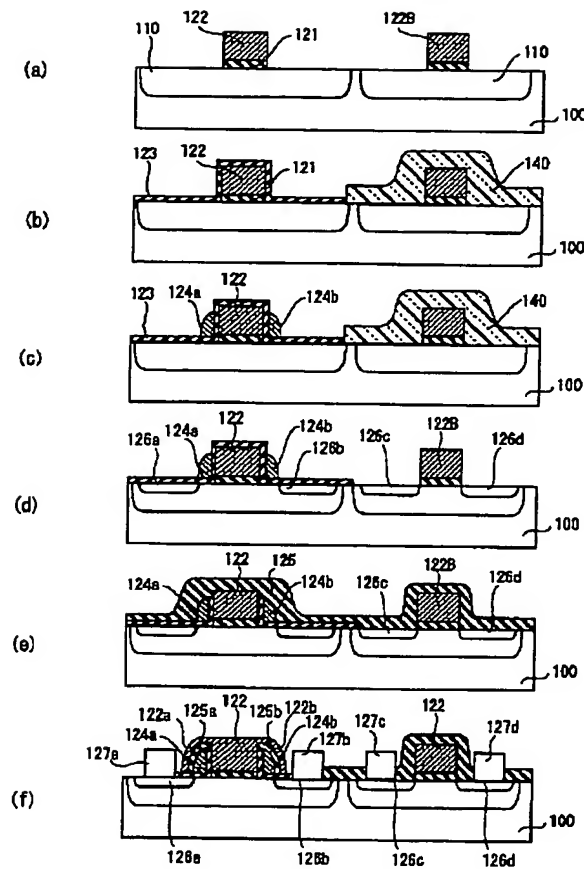
【図7】



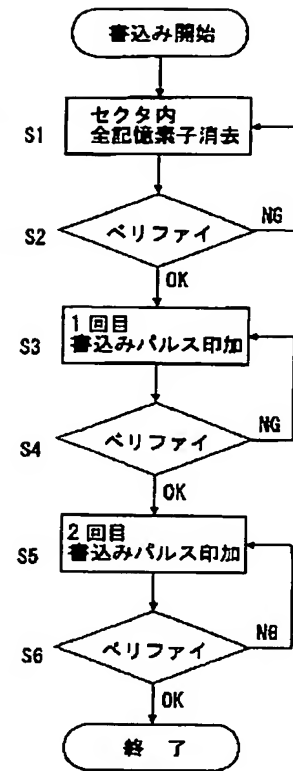
【図4】



【図5】

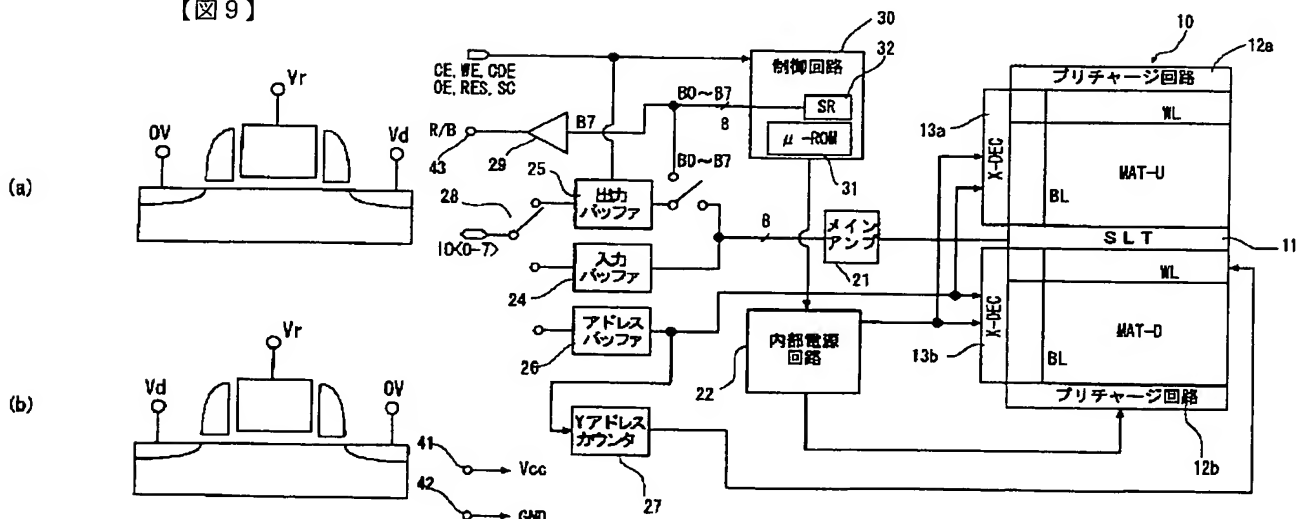


【図8】

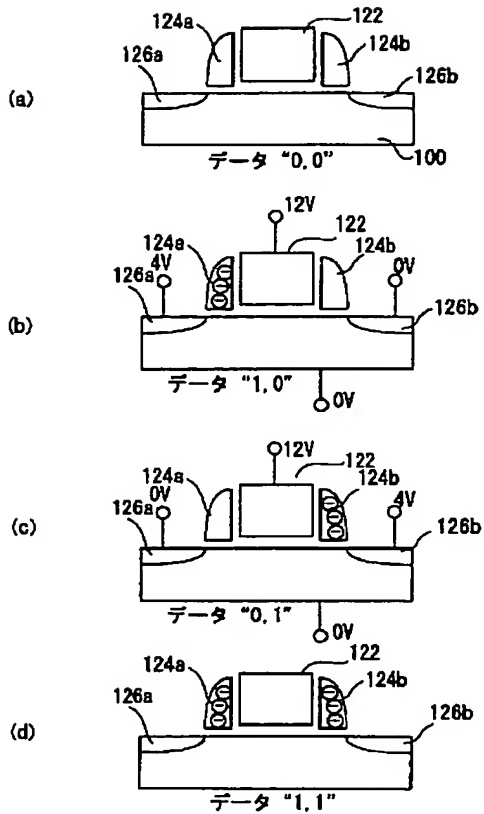


【図10】

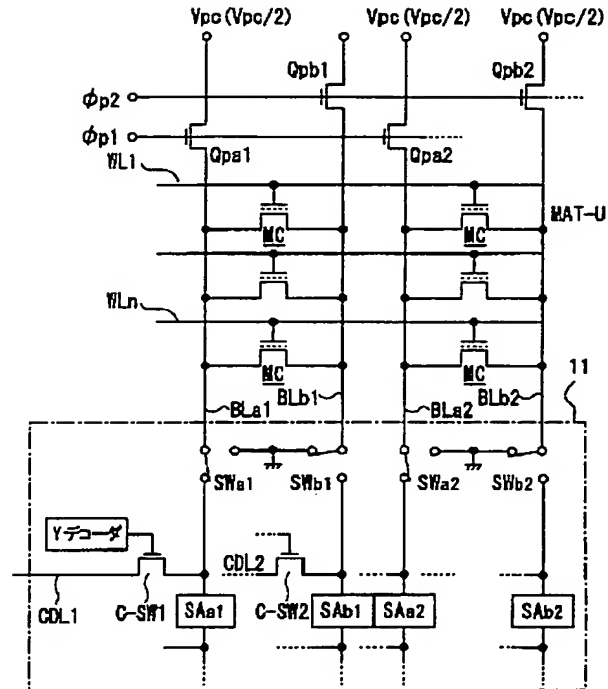
【図9】



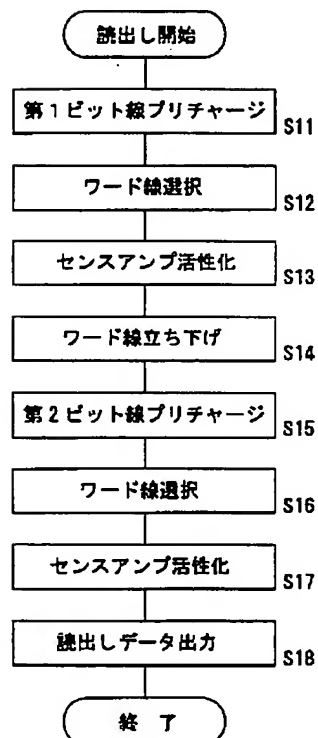
【図6】



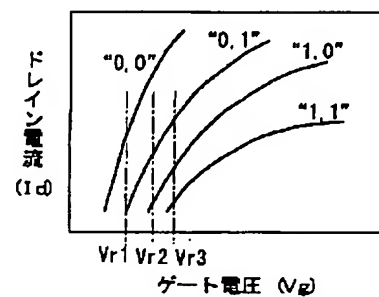
【図11】



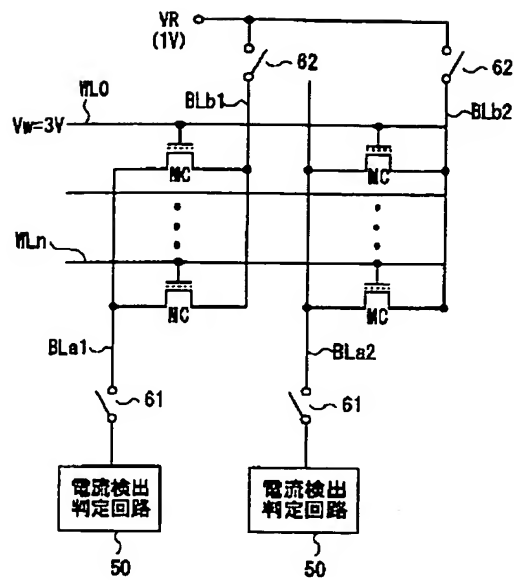
【図12】



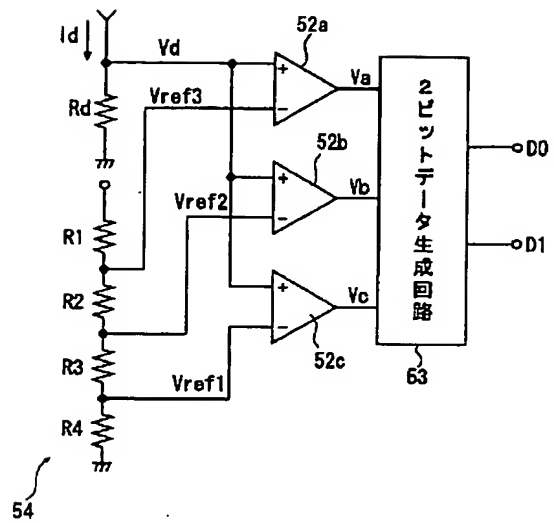
【図13】



【図14】



【図15】



フロントページの続き

- (72)発明者 奥山 幸祐
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 大内 智彦
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 竹内 隆
東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

Fターム(参考) 5F001 AA21 AA32 AA34 AA43 AA63
AB02 AB03 AD12 AD52 AD61
AE02 AE03 AE08 AF20 AG07
AG40
5F083 EP09 EP13 EP14 EP15 EP22
EP24 EP27 ER02 ER05 ER06
ER15 ER16 ER30 GA22 JA19
LA03 LA05 LA06 LA07 LA09
PR29 PR43 PR44 PR45 PR46
PR53 PR54 PR55 PR56 ZA13
ZA21